

3.1. Introducció

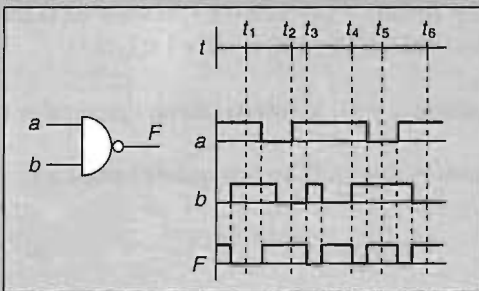
En els circuits electrònics seqüencials els valors dels senyals de sortida no depenen només dels valors dels senyals d'entrada, sinó també dels valors que les mateixes sortides tenien anteriorment.

En els circuits combinacionals estudiats en la unitat anterior, el senyal de sortida només depèn de la combinació de valors dels seus senyals d'entrada. El fet que els circuits seqüencials tinguin senyals de sortida que depenen tant dels senyals d'entrada com dels mateixos senyals de sortida en aquell instant, fa que siguin circuits que poden utilitzar-se per emmagatzemar informació binària. És per això que es diu que els circuits seqüencials tenen memòria.

El circuit seqüencial més elemental és el **biestable**, que es considera la unitat bàsica de memòria, i pot emmagatzemar un bit d'informació. Combinant biestables s'aconsegueixen circuits seqüencials més complexos, com ara els **comptadors** i els **registres de desplaçament**.

Els senyals digitals de qualsevol circuit lògic varien amb el temps; s'anomena **cronograma** la representació gràfica d'aquestes variacions en funció del temps.

Exemple 1



En la figura es mostra el cronograma d'una porta NAND de dues entrades; determina el valor dels senyals d'entrada i sortida als instants t_1, t_2, t_3, t_4, t_5 i t_6 :

instant t_1 : $a = 1$ $b = 1$ $F = 0$ instant t_2 : $a = 1$ $b = 0$ $F = 1$

instant t_3 : $a = 1$ $b = 1$ $F = 0$ instant t_4 : $a = 1$ $b = 1$ $F = 0$

instant t_5 : $a = 0$ $b = 1$ $F = 1$ instant t_6 : $a = 1$ $b = 0$ $F = 1$

3.2. Biestables

Com el seu nom indica, un **biestable** és un circuit digital que pot trobar-se en dos estats diferents. També rep el nom de *flip-flop* o de *bàscula*. El seu símil elèctric és l'interruptor, que també té dos estats possibles, i té memòria, perquè es manté en la posició que se li ha donat fins que alguna acció el fa canviar.

Observa que un biestable és el mateix que el multivibrador que vas estudiar en la unitat 3 del crèdit anterior.

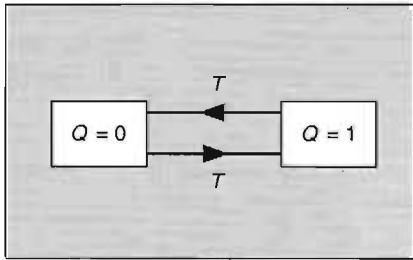
Els biestables es classifiquen en *síncrons* i *asíncrons*. Els **biestables síncrons** necessiten un senyal de rellotge per ser habilitats (que vol dir 'activat' o 'no inhibit'). Un **senyal de rellotge** o **clock** (CLK) és un senyal d'entrada connectat de tal manera que, quan pren valor alt (CLK = 1), el circuit lògic funciona seguint la seva taula de la veritat; si el senyal de rellotge pren valor zero (CLK = 0), el circuit es desactiva o inhabilita.

Els **biestables asíncrons** són biestables sense senyal de rellotge. Els biestables asíncrons més importats són el biestable T, el biestable RS i el biestable JK.

Biestables asíncrons

Bi stable T

De biestables n'hi ha de diferents tipus, segons el nombre d'entrades i la seva constitució. El més senzill és l'anomenat *biestable T*. Es tracta d'un circuit amb un senyal d'entrada (T) i un altre de sortida (Q). Considerem que la sortida es troba en un estat qualsevol; si el senyal d'entrada varia, el biestable passa al seu altre estat possible. Si novament el senyal d'entrada varia, el biestable torna a canviar d'estat, i torna al seu estat inicial. Una manera gràfica d'estudiar aquest funcionament és considerar dos blocs, un per a cada estat del biestable; amb fletxes s'indiquen les possibilitats que té el circuit de passar d'un estat a l'altre, i al costat de cada fletxa s'indica la variable que ha hagut de canviar per tal que es produeixi el pas.



Biestable T

Q_n	T	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

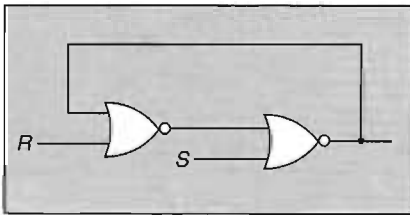
Q_n : valor del senyal de sortida a l'instant n (l'instant anterior)

Q_{n+1} : valor del senyal de sortida a l'instant $n + 1$ (l'instant següent)

Estudiant la taula de la veritat pots observar la característica fonamental dels circuits seqüencials abans comentada: quan el senyal d'entrada T passa de 0 a 1, el valor de la sortida Q_{n+1} és diferent segons si prèviament tenia valor 0 ($Q_n = 0$) o valor 1 ($Q_n = 1$).

Si la sortida era 0 i s'activa l'entrada (passa de 0 a 1), la sortida canvia i pren valor 1.

Si la sortida era 1 i s'activa l'entrada (passa de 0 a 1), la sortida canvia i passa a 0.

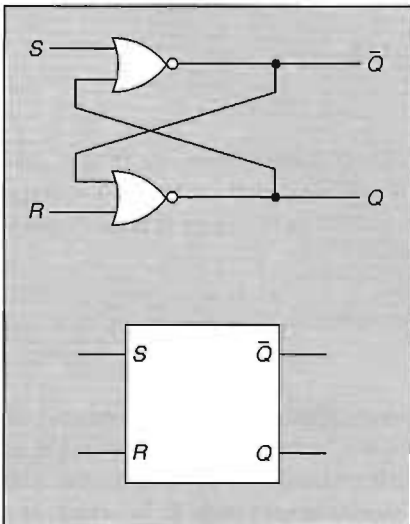


Biestable RS

Es tracta d'un circuit seqüencial amb dos senyals d'entrada R i S i dos senyals de sortida. De fet, es tracta d'un senyal de sortida i el seu invers (Q i \bar{Q}).

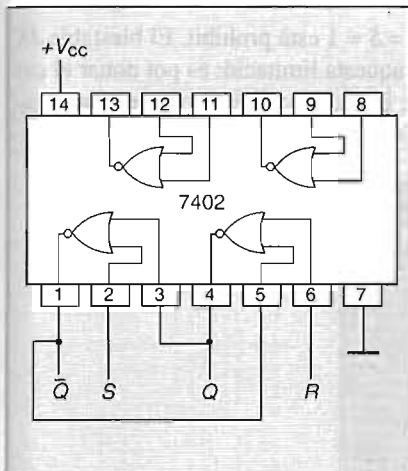
Per tal que en un circuit el valor dels senyals de sortida depengui tant dels senyals d'entrada com dels de sortida en aquell instant, cal que el valor de la sortida «retrocedeixi» i es transformi en una entrada. El fet que el senyal de sortida torni enrere s'anomena *realimentació* o *llaç tancat*.

Aquest muntatge amb dos senyals d'entrada (R i S) es modifica lleugerament per tal que ofereixi com a sortides un senyal i l'invers d'aquest (Q i \bar{Q}), i rep el nom de **biestable RS**.



Esquema i símbol d'un biestable RS

Q_n	S	R	Q_{n+1}
0	0	0	0 el senyal de sortida no varia
1	0	0	1 (el biestable "memoritz")
0	1	0	1 posada a 1 de la sortida (SET)
1	1	0	1
0	0	1	0 posada a 0 de la sortida (RESET)
1	0	1	0
0	1	1	?
1	1	1	?



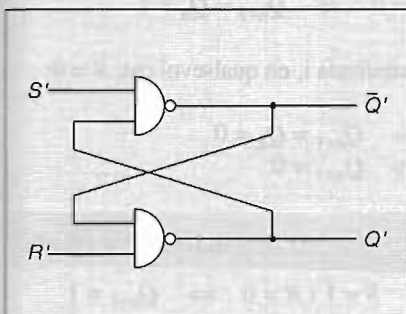
Estudiant el funcionament d'un biestable RS mitjançant la seva taula de la veritat pot observar-se que:

- a) quan els dos senyals d'entrada són zero, la sortida manté l'estat en què es trobava, no varia;
- b) quan s'activa només el senyal d'entrada S la sortida passa a ser 1, independentment del valor que tingués prèviament. S'anomena "posada a 1" o "SET";
- c) quan s'activa només el senyal d'entrada R la sortida passa a ser 0, independentment del valor que tingués prèviament. S'anomena "posada a 0" o "RESET";
- d) la combinació $R = S = 1$ està prohibida, ja que posaria les dues sortides en estat 0 ($Q = 0$ i $\bar{Q} = 0$) i això no és possible (si s'apliqués aquesta combinació, no podrien predir-se els valors de les sortides, és per això que en la taula s'indica l'estat com a ?).

Per construir un biestable RS només cal connectar convenientment dues portes NOR. Utilitzant el circuit integrat TTL 7402, la connexió és:

Exemple 2

Dibuixa la taula de la veritat del circuit de la figura. Es tracta d'un biestable RS ? Si la resposta és negativa: com s'hauria de modificar perquè ho fos?



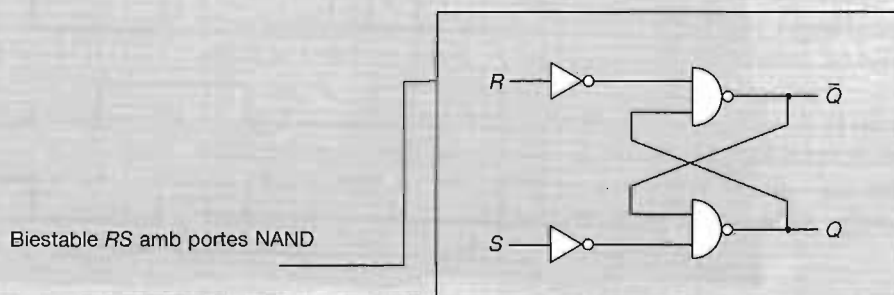
Q'_n	S'	R'	Q'_{n+1}
0	0	0	?
1	0	0	?
0	1	0	1
1	1	0	1
0	0	1	0
1	0	1	0
0	1	1	0
1	1	1	1

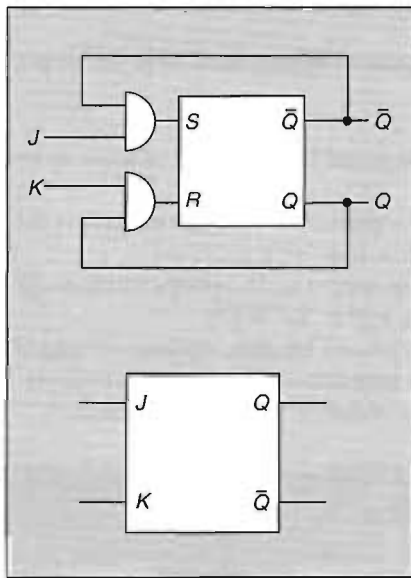
Per conèixer el funcionament del circuit, cal dibuixar la seva taula de la veritat; als senyals d'entrada se'ls anomena S' i R' , i als de sortida, Q'_n i Q'_{n+1} (per similitud amb el biestable RS). Donant valors a S' , R' i Q'_n s'obté la taula de la veritat del circuit donat.

Comparant aquesta taula amb la d'un biestable RS s'observa que, per tal que siguin iguals:

$$R' = \bar{S} \quad \text{i} \quad S' = \bar{R}$$

L'esquema d'un biestable RS amb portes NAND queda de la manera següent:





Esquema i símbol d'un biestable JK

Biestable JK

El biestable RS estudiat té el problema que l'estat $R = S = 1$ està prohibit. El biestable JK funciona de la mateixa manera que l'RS, però sense aquesta limitació: es pot donar el cas que les dues variables d'entrada estiguin en estat alt. El seu circuit és format per un biestable RS al qual s'afegeixen dues portes AND a les entrades:

Q_n	J	K	Q_{n+1}
0	0	0	Q_n
1	0	0	Q_n
0	1	0	1
1	1	0	1
0	0	1	0
1	0	1	0
0	1	1	1
1	1	1	0

Analitzem la taula de la veritat:

a) Quan $J = K = 0$, cap de les dues portes AND està a nivell alt, així que els senyals de sortida no varien: $Q_{n+1} = Q_n$

b) Quan $J = 1$ i $K = 0$, la porta inferior AND està inhabilitada i, en qualsevol cas, $R = 0$:

$$\begin{aligned} \text{si } Q_n = 0 \quad \bar{Q}_n = 1, \text{ com que } J = 1 &\Rightarrow S = 1 \Rightarrow Q_{n+1} = 1 \\ \text{si } Q_n = 1 \quad \bar{Q}_n = 0, \text{ com que } J = 1 &\Rightarrow S = 0 \Rightarrow Q_{n+1} = Q_n = 1 \end{aligned}$$

c) Quan $J = 0$ i $K = 1$, la porta superior AND està inhabilitada i, en qualsevol cas, $S = 0$:

$$\begin{aligned} \text{si } Q_n = 0, \text{ com que } K = 1 &\Rightarrow R = 0 \Rightarrow Q_{n+1} = Q_n = 0 \\ \text{si } Q_n = 1, \text{ com que } K = 1 &\Rightarrow R = 1 \Rightarrow Q_{n+1} = 0 \end{aligned}$$

d) Quan $J = K = 1$:

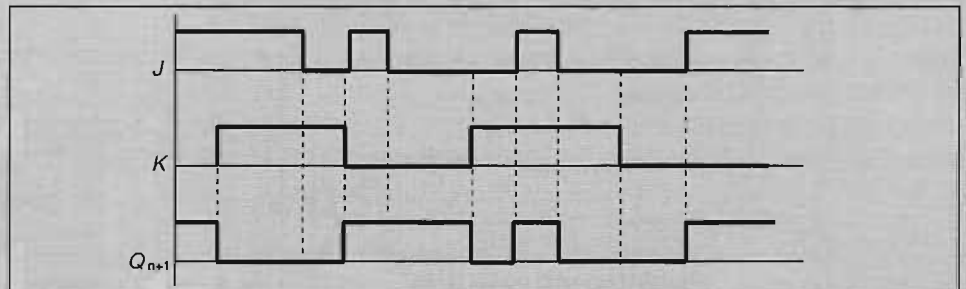
$$\begin{aligned} \text{si } Q_n = 0 \quad \bar{Q}_n = 1, \text{ com que } J = K = 1 &\Rightarrow S = 1 \text{ i } R = 0 \Rightarrow Q_{n+1} = 1 \\ \text{si } Q_n = 1 \quad \bar{Q}_n = 0, \text{ com que } J = K = 1 &\Rightarrow S = 0 \text{ i } R = 1 \Rightarrow Q_{n+1} = 0 \end{aligned}$$

El biestable JK, en cas que les dues entrades siguin altes, dóna com a sortida la inversa de l'últim valor d'aquesta ($Q_{n+1} = \bar{Q}_n$), i es diu que la sortida «bascula».

Exemple 3

Dibuixa la forma del senyal de sortida d'un biestable JK, les variables d'entrada del qual són les mostrades en la figura. Considera que el biestable està inicialment posat a 0 ($Q_n = 0$).

Per determinar la forma del senyal de sortida cal seguir la taula de la veritat del biestable:



Biestables síncrons

Els biestables síncrons es divideixen en dos grups: els *biestables síncrons activats per nivell de tensió* i els *biestables síncrons activats per flanc*.

- **Biestables síncrons activats per nivell de tensió**

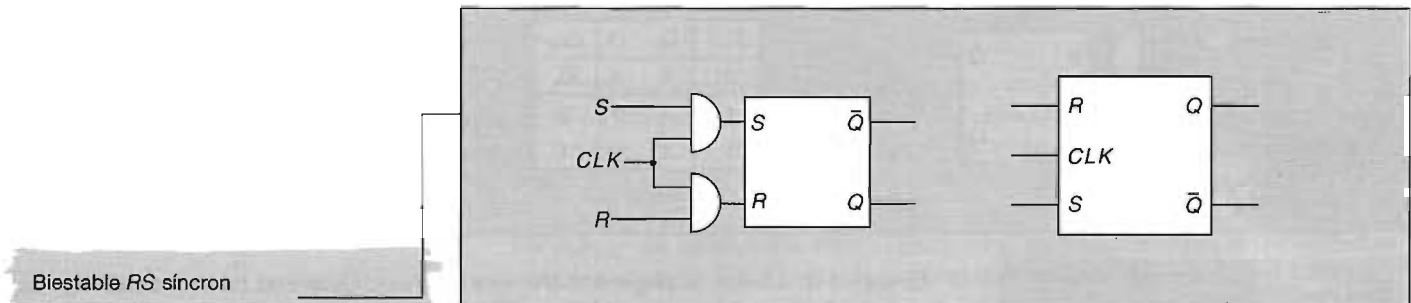
Són biestables similars als asíncrons però amb un senyal d'entrada més, el de rellotge. Aquest senyal, que l'habilita o inhabilita, ho fa perquè té un valor lògic 0 o 1. Si el senyal de rellotge d'un biestable d'aquest tipus està a nivell alt ($CLK = 1$), qualsevol canvi dels senyals d'entrada incidiran sobre els senyals de sortida, segons la taula de la veritat del biestable. Si el senyal de rellotge està a nivell baix ($CLK = 0$), el biestable no canviarà els valors dels senyals de sortida per més que variïn els d'entrada.

- **Biestables síncrons activats per flanc**

En aquest cas el biestable funciona, activant-se o desactivant-se, només durant el breu interval en què el senyal de rellotge passa de nivell baix a nivell alt (**flanc positiu o ascendent**) o de nivell alt a nivell baix (**flanc negatiu o descendent**).

Biestable RS síncron activat per nivell de tensió

Si a les entrades d'un biestable RS s'afegeixen dues portes AND, s'aconsegueix un biestable que pot habilitar-se o no. Aquest senyal d'habilitació és el senyal de rellotge o *clock* (CLK).



CLK	Q_n	S	R	Q_{n+1}
1	0	0	0	Q_n
1	1	0	0	Q_n
1	0	1	0	1
1	1	1	0	1
1	0	0	1	0
1	1	0	1	0
1	0	1	1	?
1	1	1	1	?
0	X	X	X	Q_n

X: qualsevol valor

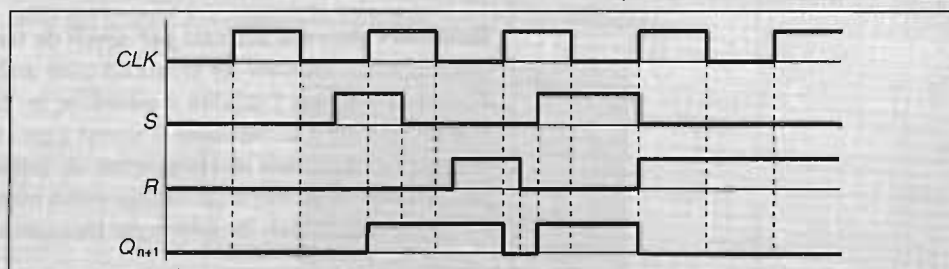
Quan el senyal de rellotge està activat ($CLK = 1$), les variacions dels senyals R i S fan variar el senyal de sortida Q, segons la taula de la veritat del biestable.

Quan el senyal de rellotge està desactivat ($CLK = 0$), el senyal de sortida no varia, i es manté en el valor que tenia tot just abans que el rellotge es desactivés; dit amb altres paraules, el biestable reté o emmagatzema la informació que tenia fins aquell instant. El biestable pot guardar aquesta informació el temps que es vulgui, només mantenint CLK desactivat.

Exemple 4

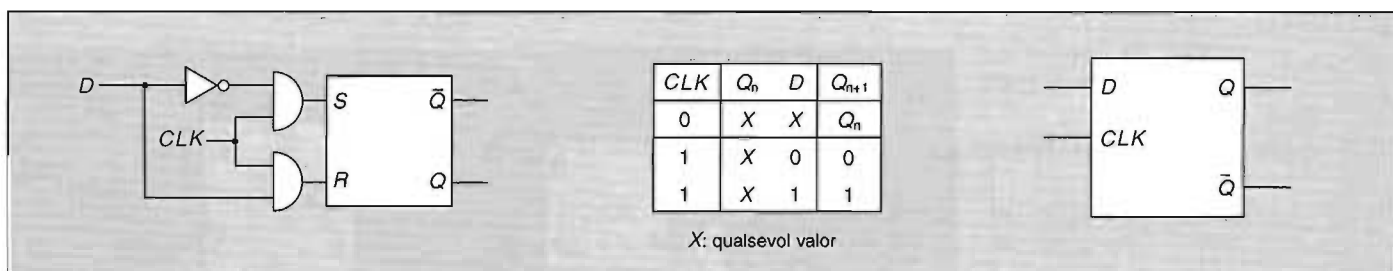
Indica els valors dels diferents senyals d'entrada i de sortida d'un biestable RS síncron, als instants indicats al seu cronograma:

Es considera que, inicialment, el biestable està a 0 ($Q_n = 0$)



Biestable D síncron activat per nivell de tensió

El biestable RS síncron ja estudiat té alguns inconvenients: per tenir un senyal de sortida amb valor lògic 0 o 1 (que equival a dir «per memoritzar un valor lògic»), calen dos senyals d'entrada; a més, podria donar-se accidentalment el cas indesitjable $R = S = 1$. Per millorar-ho es va dissenyar el biestable D, que actua de manera similar a l'RS síncron però amb un únic senyal d'entrada:



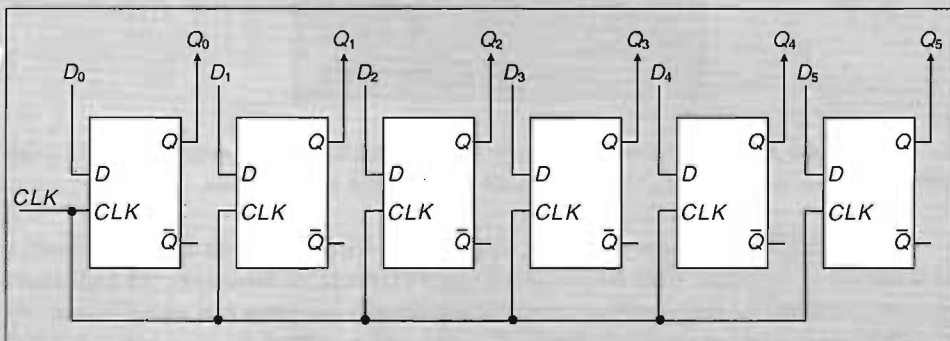
Biestable D

El senyal de rellotge és el que habilita o no el circuit. Quan està inhabilitat ($CLK = 0$), a la sortida del biestable es manté l'últim valor que el senyal de sortida va tenir, i no canvia tot i que canviï el senyal d'entrada. Quan el circuit està habilitat ($CLK = 1$), el senyal de sortida pren el valor del senyal d'entrada, i canvia quan aquest canvia.

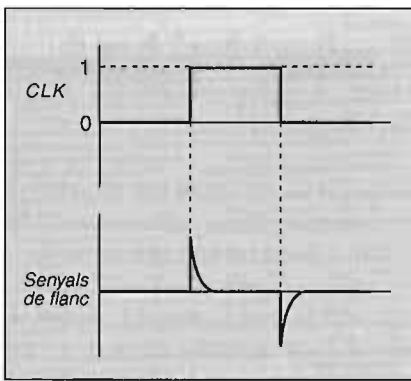
Amb un biestable D pot guardar-se un bit d'informació, així, per emmagatzemar paraules de més d'un bit es fan servir tants biestables com bits calgui memoritzar.

Exemple 5

Munta un circuit lògic, amb biestables D, que pugui emmagatzemar una paraula de 6 bits.



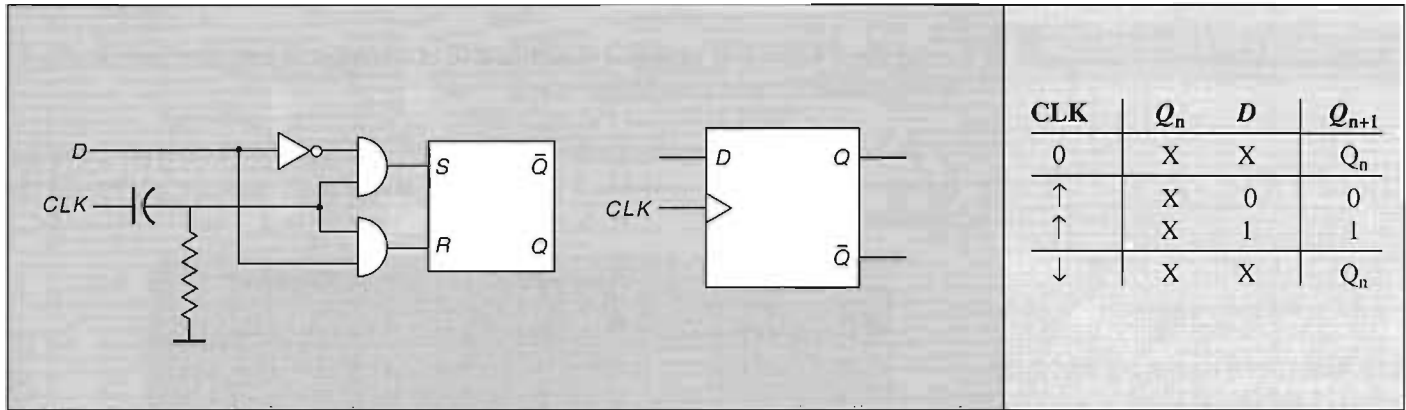
El muntatge ha de tenir 6 biestables D, un per cada bit que es vol guardar. Cada bit d'informació és el senyal d'entrada d'un dels biestables, i el senyal de rellotge és comú a tots els biestables. Quan el rellotge habilita el circuit, cada biestable rep un senyal d'entrada i el passa a la seva sortida. Si ara s'inhabilita el circuit, el conjunt de sortides dels biestables té el valor de la paraula de 6 bits que s'havia de memoritzar.



Biastable D activat per flanc (*edge triggered*)

Per tal que un biastable asíncron s'activi per flancs, s'afegeix a l'entrada de rellotge un circuit RC (resistència-condensador) calculat de manera que la constant de temps RC sigui molt més petita que l'amplada de l'impuls del rellotge; així, el condensador es carrega totalment quan el senyal de rellotge passa a nivell alt, i aquesta càrrega exponencial provoca una punta de tensió positiva en els extrems de la resistència. Després, el pas de nivell alt a nivell baix del senyal de rellotge crea una estreta punta de tensió negativa.

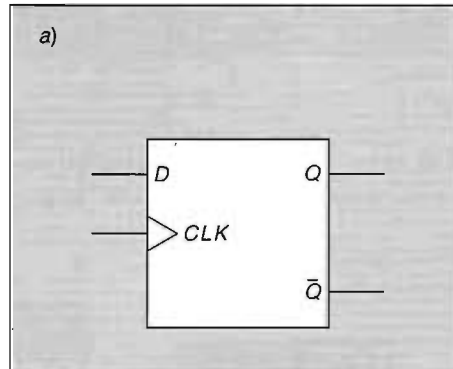
En la figura es mostra el circuit d'un biastable D activat per flancs i la seva taula de la veritat; el flanc positiu activa per un instant les portes AND, el flanc negatiu no:



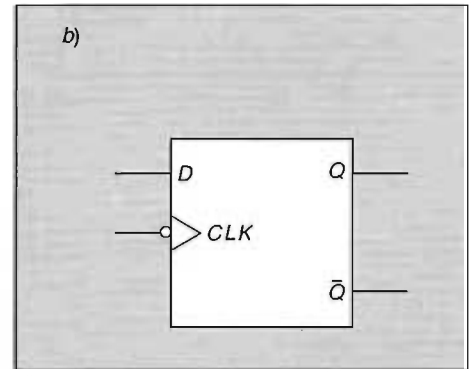
Biastable D activat per flancs

Quan a l'entrada de rellotge del biastable apareix un flanc positiu (representat amb una fletxa ↑), la sortida pren el valor que el senyal d'entrada D té en aquest instant; com que la durada del flanc és molt breu, podem dir que el circuit actua «prenent nota» o «llegint» el valor de l'entrada. En el flanc descendent (↓), el senyal de sortida no varia.

Per indicar que un biastable síncron està activat per flancs positius, al seu símbol es dibuixa un petit triangle just a l'entrada del senyal de rellotge. Si s'activa per flancs negatius es dibuixa un cercle i un triangle al mateix lloc:



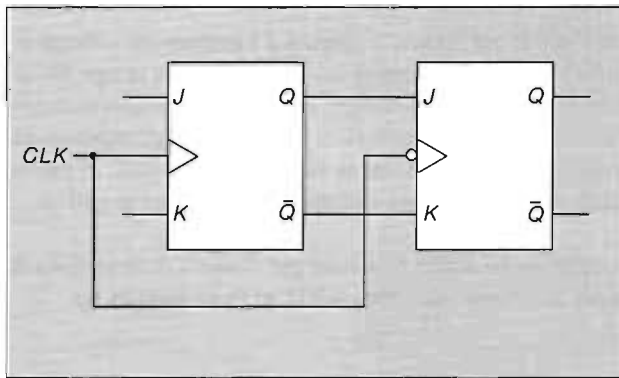
Activat per flanc positiu



Activat per flanc negatiu

Biastable JK master-slave

També anomenat *biastable principal-secundari* o *biastable senyor-esclau*. Es tracta d'un biastable activat per flanc, perfeccionat. Tracta d'evitar un defecte en el funcionament de molts biastables activats per flanc, en els quals la durada del flanc és massa gran i els senyals de sortida Q i \bar{Q} tenen temps de retornar i fer canviar novament les sortides.



Esquema d'un biestable JK *master-slave*

És format per dos biestables *JK* síncrons activats per flanc, units de manera que els senyals de sortida del primer biestable són els senyals d'entrada del segon biestable:

El primer biestable és el *principal (master)*, i està activat pel flanc ascendent; el segon és el biestable *secundari (slave)* i s'activa pel flanc descendent. Això significa que s'activa primer el biestable principal.

Si $J = 1$ i $K = 0$, el principal mostra la seva sortida a 1; aquest senyal de sortida passa a ser un senyal d'entrada del secundari, de manera que al secundari $J = 1$ i $K = 0$, i la sortida és 1. El secundari repeteix l'acció del principal.

Si $J = 0$ i $K = 1$, el principal té sortida a 0; el secundari té senyals d'entrada $J = 0$ i $K = 1$, i també mostra a la sortida valor 0.

Per al cas de dues entrades a valor alt ($J = K = 1$), es mostren en la taula els valors que prenen cada una de les variables; les sortides del secundari mostren que el biestable ha basculat:

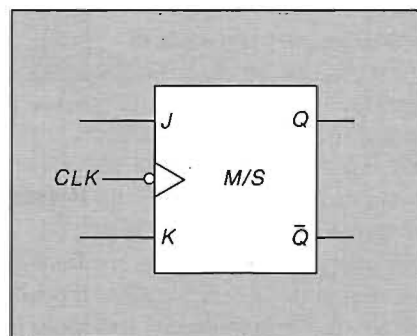
Q_n	\bar{Q}_n	<i>Principal</i>				<i>Secundari</i>		
		J	K	Q_{n+1}	\bar{Q}_{n+1}	J	K	Q_{n+1}
0	1	1	1	1	0	1	0	} \bar{Q}_n
1	0	1	1	0	1	0	1	

Si els dos senyals d'entrada estan a nivell baix ($J = K = 0$), les sortides del secundari no varien:

Q_n	\bar{Q}_n	<i>Principal</i>				<i>Secundari</i>		
		J	K	Q_{n+1}	\bar{Q}_{n+1}	J	K	Q_{n+1}
0	1	0	0	0	1	0	1	} \bar{Q}_n
1	0	0	0	1	0	1	0	

Hi ha altres dissenys de biestables *JK master-slave*, però tots tenen el mateix fonament: el secundari repeteix les accions del principal, en cada flanc negatiu.

J	K	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	\bar{Q}_n

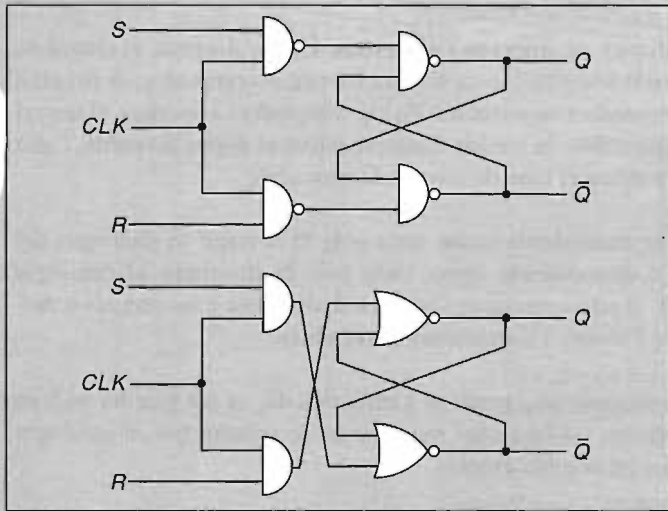


Biestable *JK master-slave*

Activitats

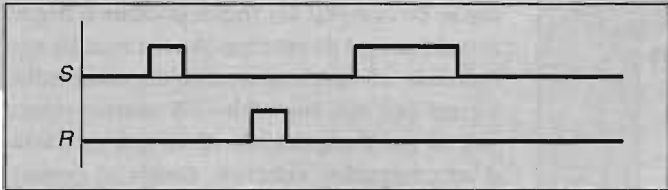
1. En què es diferencien els circuits lògics combinacionals i seqüencials?

2. Demosta que aquests dos biestables són equivalents. Per fer-ho, indica el valor lògic en cada connexió, en els quatre casos possibles:



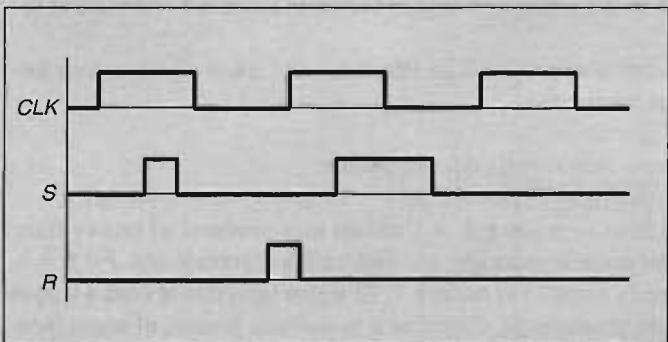
a) $S=R=0$ b) $S=0$ i $R=1$ c) $S=1$ i $R=0$ d) $S=R=1$

3. Dibuixa el senyal de sortida d'un biestable RS que té els senyals d'entrada que mostra el cronograma. És síncron o asíncron?



4. Quins avantatges té el biestable JK asíncron respecte del biestable RS asíncron? De quina manera es modifica el circuit lògic per aconseguir-ho?

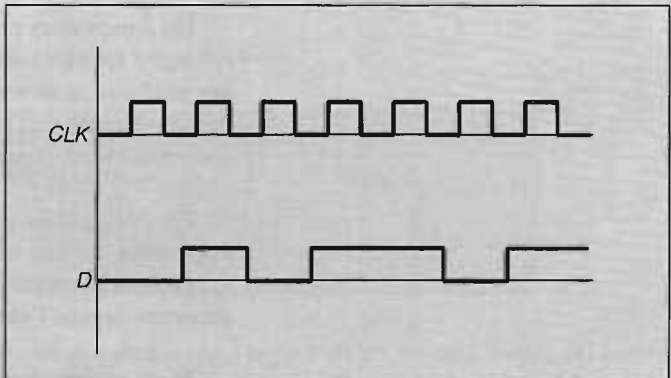
5. Dibuixa el senyal de sortida d'un biestable RS que té els senyals d'entrada:



És un biestable síncron o asíncron? Per què?

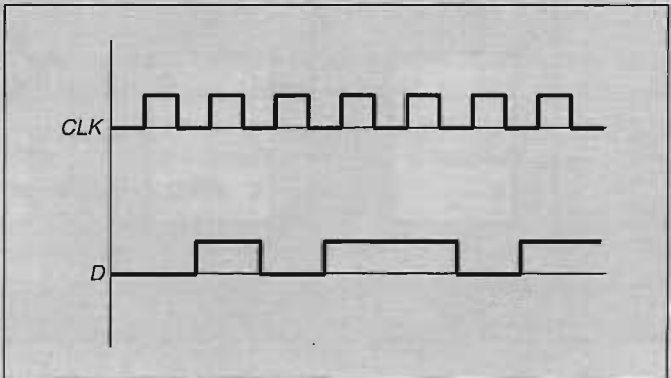
6. Què és un flanc? Quina diferència de funcionament hi ha entre un biestable activat per nivell de tensió o per flanc?

7. A un biestable D activat per flanc positiu se li apliquen els senyals del cronograma. Dibuixa el senyal de sortida que se n'obté.

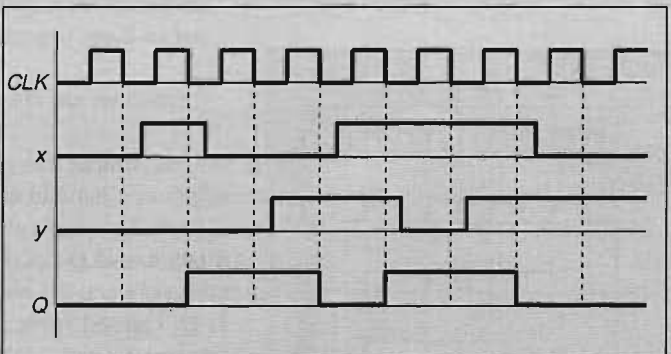


8. Dibuixa el circuit amb portes lògiques, corresponent a un biestable JK síncron; dibuixa'n també la taula de la veritat i el símbol corresponent.

9. Determina el senyal de sortida d'un biestable JK activat per flanc de baixada, al qual s'apliquen els senyals d'entrada:



10. Aquest cronograma correspon a un biestable. Determina de quin tipus es tracta i dibuixa'n la taula de la veritat.



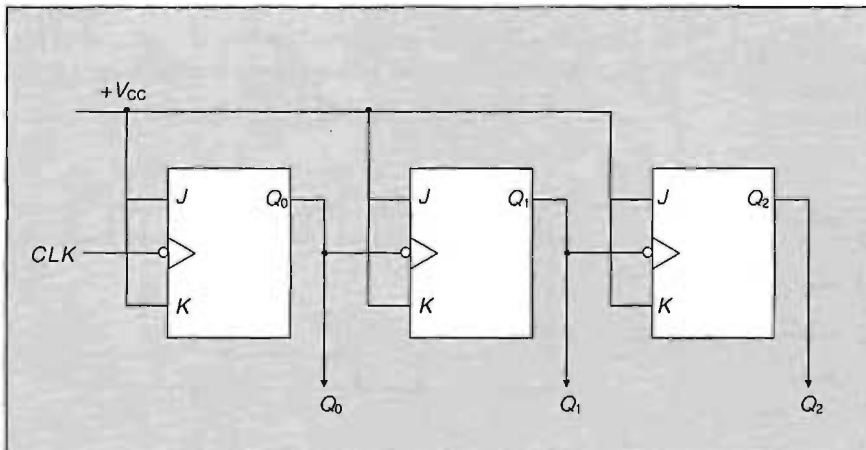
3.3. Comptadors

Els comptadors són dispositius electrònics, formats per biestables, capaços de comptar, en codi binari, el nombre de polsos de rellotge que reben. Com que els polsos de rellotge es produeixen a intervals de temps coneguts, els comptadors poden també utilitzar-se com a aparells per mesurar el temps, el període o la freqüència.

Els comptadors es classifiquen en **síncrons** i **asíncrons**. En els síncrons, el senyal de rellotge s'aplica simultàniament a tots els biestables que formen el comptador; és per això que també se'ls anomena *comptadors en paral·lel*. En els comptadors asíncrons, el senyal de rellotge activa el primer biestable, la sortida d'aquest activa el segon biestable, i així successivament; generalment reben el nom de *comptadors en sèrie*.

Els comptadors poden ser **ascendents** (quan cada pols fa avançar el contingut del comptador en una unitat), o **descendents** (quan cada pols fa disminuir el contingut del comptador en una unitat); alguns comptadors poden treballar com a ascendents o descendents, segons l'elecció de l'usuari, i s'anomenen **reversibles**.

Molts comptadors poden esborrar-se o posar-se a zero, és a dir, es pot guardar un 0 en tots els biestables que el formen; també poden reajustar-se de manera que el contingut dels biestables correspongui a un nombre escollit.

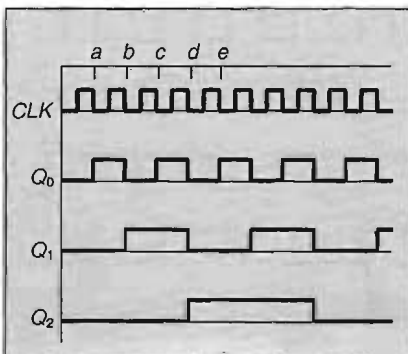


Comptadors asíncrons

Els biestables síncrons activats per flanc són ideals per construir un dispositiu comptador, capaç de comptar els flancs positius o negatius del senyal de rellotge. A continuació, estudiarem el funcionament d'un comptador format per tres biestables *JK master-slave*, activat per flanc negatiu. Com que es tracta d'un comptador asíncron, només el primer biestable s'activa amb el senyal extern d'un rellotge; els altres biestables són activats pel senyal de sortida del biestable que els precedeix:

Totes les entrades J i K estan connectades a V_{cc} ($J = K = 1$), així que:

- en cada flanc negatiu del pols del rellotge, el primer biestable bascularà (canviarà el senyal de sortida);
- els biestables activats pel senyal de sortida d'un altre biestable, *quan aquest senyal tingui un flanc negatiu*, també bascularan.



Estudiem ara el cronograma dels senyals del comptador:

Inicialment tots els biestables es posen a 0. A l'instant a es produeix el primer flanc negatiu i s'habilita el primer biestable; com que els seus valors d'entrada són $J = K = 1$, el biestable canvia el valor de la sortida i la passa a 1. El segon biestable té com a senyal d'habilitació Q_0 , però com que el senyal Q_0 a l'instant a és un flanc positiu, el segon biestable no s'activa i manté el valor $Q_1 = 0$. Com que el senyal que activa el tercer biestable és Q_1 i aquest val 0, el biestable no canvia (els biestables només s'activen per flancs descendents). Quan acaba el primer flanc descendent del rellotge, els biestables estan carregats a $Q_2 Q_1 Q_0 = 001$.

A l' instant b , quan es produeix el segon flanc negatiu del rellotge, el primer biestable torna a bascular i passa una altra vegada a 0 ($Q_0 = 0$); aquest senyal Q_0 passant d' 1 a 0 provoca un flanc negatiu que activa el segon biestable, de manera que Q_1 bascula i passa a ser 1; com que Q_1 no és cap flanc negatiu en aquest instant b (vegeu cronograma), no activa el tercer biestable. Un cop finalitza aquest flanc, el comptador està a $Q_2 Q_1 Q_0 = 010$.

A l' instant c , el tercer flanc descendent del rellotge fa que Q_0 passi de 0 a 1; com que això és un flanc de pujada, Q_0 no pot activar el segon biestable, que es manté a 1, ni el segon biestable activa el tercer (perquè Q_1 , a l' instant c , no és cap flanc negatiu). El comptador queda $Q_2 Q_1 Q_0 = 011$.

Expressant els diferents estats en forma de taula:

<i>Instant</i>	Q_2	Q_1	Q_0	<i>Sistema decimal</i>
<i>inicial</i>	0	0	0	0
<i>a</i>	0	0	1	1
<i>b</i>	0	1	0	2
<i>c</i>	0	1	1	3

El valor de les sortides del comptador són l' expressió, en sistema binari, del nombre de flancs negatius que s' hi han produït. Un comptador com aquest, amb tres biestables, pot comptar fins al $111_2 = 7_{10}$, és a dir, pot comptar 8 impulsos; i es diu que el comptador és de «mòdul 8». En general, un comptador amb n biestables pot comptar fins a 2^n impulsos i s' anomena *comptador de mòdul 2^n* .

El senyal Q_0 té una freqüència que és la meitat de la freqüència del senyal de rellotge; Q_1 té una freqüència que és la meitat de Q_0 (per tant, una quarta part de la del rellotge) i el senyal Q_2 té una freqüència que és la meitat de Q_1 , és a dir, la vuitena part de la freqüència del senyal de rellotge. Aquest comptador divideix per vuit la freqüència del rellotge.

Els comptadors asíncrons tenen una limitació de velocitat en el seu funcionament; això és degut al fet que cada biestable, quan canvia d' estat, no ho fa instantàniament, sinó amb un cert temps de retard respecte del senyal que l' ha activat. Com que en els comptadors asíncrons s' activa un biestable darrere d' un altre, el temps de retard total és la suma dels temps de retard de cada biestable.

Exemple 6

Quants biestables són necessaris per fabricar un comptador de mòdul 2? I de mòdul 128?

- a) Com que $2^1 = 2 \Rightarrow$ es necessita 1 únic biestable
- b) Com que $2^x = 128 \Rightarrow x = 7$, es necessiten 7 biestables

Exemple 7

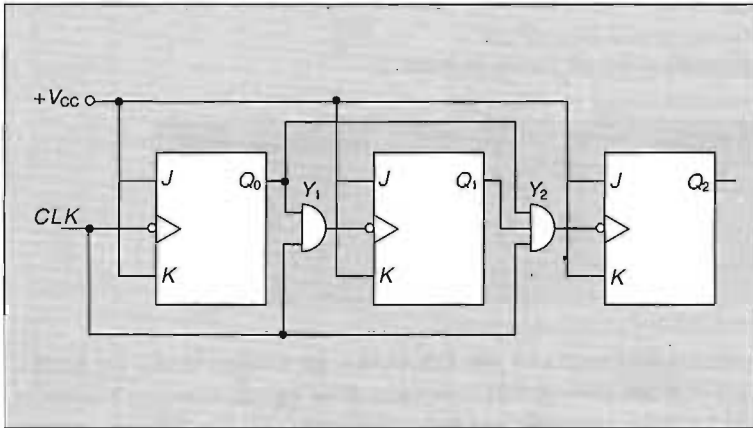
Quin és el nombre decimal més gran que pot comptar un comptador de mòdul 32?

Un comptador de mòdul 32 és format per 5 biestables ($2^5 = 32$), de manera que compta en sistema binari de 5 bits. El nombre més gran és 11111, que correspon al nombre decimal 31: $11111_2 = 31_{10}$.

Comptadors síncrons

Aquests comptadors estan formats pels mateixos tipus de biestables que els asíncrons, però connectats de manera diferent; en els síncrons, cada biestable rep el senyal de rellotge, ja que estan connectats en paral·lel.

Estudiem un comptador síncron format per tres biestables *JK master-slave* activats per flanc negatiu:



Totes les entrades *JK* estan connectades a la tensió d'alimentació, $J = K = 1$. Per iniciar el compte, tots els biestables es posen a 0.

El primer flanc negatiu activarà el primer biestable, que passarà de 0 a 1. Aquest nivell alt de Q_0 farà que s'activi la primera porta AND Y_1 i que el senyal de rellotge arribi a l'entrada CLK del segon biestable. L'estat serà $Q_2 Q_1 Q_0 = 001$.

El següent flanc negatiu del senyal de rellotge farà que basculin el primer i el segon biestable, fent que $Q_2 Q_1 Q_0 = 010$. Aquesta situació no pot activar cap de les dues portes AND.

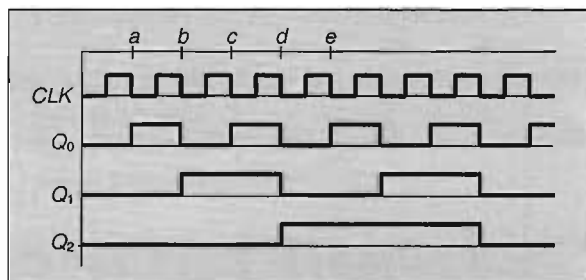
Un nou flanc negatiu farà $Q_0 = 1$, es mantindran $Q_1 = 1$ i $Q_2 = 0$, i s'activarà la porta AND Y_2 : $Q_2 Q_1 Q_0 = 011$

Un nou flanc negatiu passa Q_0 d'1 a 0, canvia l'estat de Q_1 d'1 a 0, i com que Y_2 està activada fa bascular el tercer biestable i $Q_2 = 1$: $Q_2 Q_1 Q_0 = 100$.

Generalitzant:

- Cada vegada que el primer biestable estigui a 1 ($Q_0 = 1$), la porta Y_1 s'habilitarà i deixarà passar el senyal de rellotge cap al segon biestable; quan aquest senyal tingui un flanc de baixada farà que basculi el segon biestable.
- Cada vegada que $Q_0 = Q_1 = 1$, s'habilitarà la porta Y_2 i el senyal de rellotge arribarà al tercer biestable; quan el senyal de rellotge tingui un flanc de baixada el tercer biestable canviarà d'estat.

Aquest comptador també divideix per vuit la freqüència del senyal de rellotge. Els senyals d'entrada i sortida tenen les formes següents:

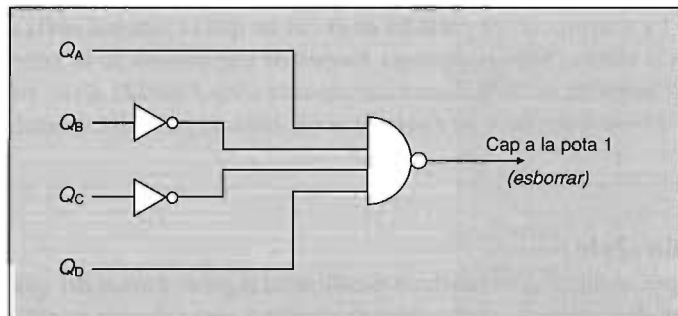
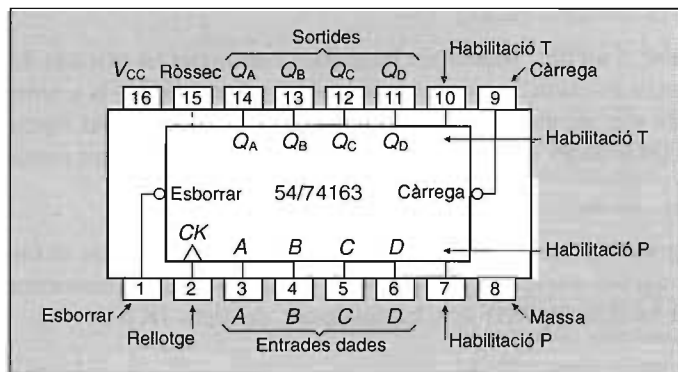


Instant	Q_2	Q_1	Q_0
inicial	0	0	0
a	0	0	1
b	0	1	0
c	0	1	1
d	1	0	0
e	1	0	1

Els comptadors síncrons són més ràpids que els asíncrons, però resulten més cars.

Tots els comptadors estudiats fins ara són capaços de comptar 2^n impulsos del senyal de rellotge, on n és el nombre de biestables que el formen. Amb un comptador d' n biestables també es pot comptar un nombre inferior a 2^n ; són els anomenats **comptadors de compte modificat**, l'estudi dels quals no abordarem en aquest crèdit.

Comptadors amb preselecció



Els comptadors amb preselecció són circuits integrats comercials, construïts de tal manera que permeten d'obtenir, amb rapidesa i facilitat, un comptador de qualsevol mòdul. Els **comptadors amb preselecció** o preajust són el bloc bàsic de construcció.

Com que estan disponibles comercialment, no admeten cap manipulació per part de l'usuari; aquest només ha de saber connectar-los correctament dins d'un circuit digital.

En la figura es mostra el comptador síncron 74163, format per 4 biestables.

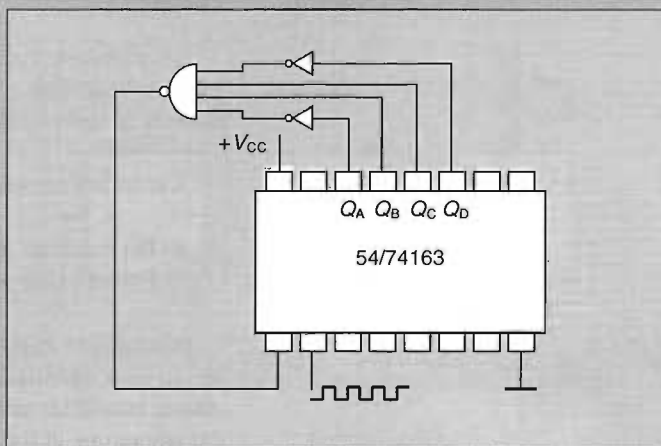
Per tal que el comptador compti cap amunt, els senyals d'*habilitació*, de *càrrega* i d'*esborrament* han d'estar a 1.

Per tal que el comptador no faci el compte sencer, sinó fins al nombre que esculli l'usuari, es fa servir l'entrada *esborrar*: quan el comptador arribi al valor desitjat, a través d'una porta NAND es fa que torni a 0. Per exemple, volem que el comptador compti fins a 10; això significa que, quan les sortides arribin a $Q_D Q_C Q_B Q_A = 1001$ (9_{10}), han de tornar a 0000, i per fer-ho caldrà la connexió de la figura.

Activitats

11. Què és un comptador?
12. Quina diferència hi ha entre els comptadors síncrons i els asíncrons? Quins avantatges té cada tipus?
13. Explica com funciona un comptador asíncron.
14. Quants comptadors de diferent mòdul poden fabricar-se amb 3 biestables?
15. Quin és el nombre decimal més gran que pot comptar un comptador amb 6 biestables?
16. Quants biestables són necessaris per fabricar un comptador de mòdul 8?
17. Disseny un comptador que compti de 0 a 9. Dibuixa el seu cronograma.
18. Què és un comptador amb preselecció? Per a què serveix?

19. Quin mòdul té el comptador fabricat amb el circuit integrat 54/74163, connectat com es mostra en la figura?



20. Busca en un llibre de característiques d'integrats, l'integrat 4510.
 - Dibuixa el seu patillatge.
 - Explica la funció de les entrades:
 - a) UP/DOWN
 - b) Reset
 - c) CE

3.4. Registres de desplaçament

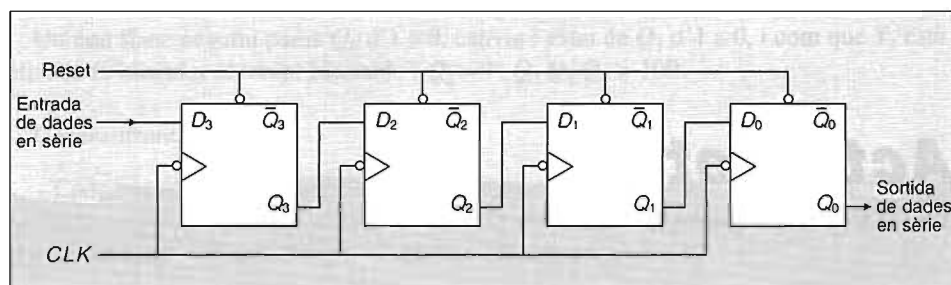
Un registre de desplaçament és un bloc format per biestables connectats en cascada. La seva funció és emmagatzemar momentàniament una informació, i transmetre-la a altres sistemes. Les seves utilitats són nombroses: com a registre d'informació per fer operacions aritmètiques, per acceptar dades d'entrada a través d'un teclat, per construir comptadors, etc.

Un registre pot emmagatzemar un nombre binari de tants bits com biestables el formi; per exemple, per guardar una paraula de 8 bits cal que el registre tingui 8 biestables. Els biestables utilitzats per fabricar registres són, habitualment, del tipus JK o D.

Les dades poden desplaçar-se de dues maneres possibles: en *sèrie* o en *paral·lel*. Fer-ho en sèrie significa que el sistema envia o rep un bit d'informació, a continuació un altre, i així successivament. La transmissió en paral·lel és el cas en què el sistema envia o rep tots els bits d'informació alhora. Segons aquestes formes de transmissió de la informació, els registres de desplaçament es classifiquen en: *entrada sèrie / sortida sèrie*, *entrada sèrie / sortida paral·lel*, *entrada paral·lel / sortida sèrie*, *entrada paral·lel / sortida paral·lel*.

Entrada sèrie / sortida sèrie

És el registre més senzill; per analitzar com funciona escollim un registre format per quatre biestables D activats per flanc negatiu, amb senyal de posada a zero (*clear* o *reset*):



La sortida de cada biestable està connectada a l'entrada del següent i les dades que cal guardar-hi arriben a l'entrada del primer biestable; el circuit de la figura pot guardar una paraula de quatre bits.

Convé ara recordar el funcionament d'un biestable D:

- a) Per introduir al registre un valor 0, cal que $D = 0$
- b) Per introduir al registre un valor 1, cal que $D = 1$

Inicialment es posa el registre a zero (*reset*), fent que les sortides de tots els biestables siguin 0. A continuació, el primer bit I_0 que es vol emmagatzemar arriba a l'entrada del primer biestable; amb el primer flanc negatiu el biestable guardarà aquest bit d'informació alhora que el 0 de Q_3 passa a D_2 , el 0 de Q_2 passa a D_1 i el 0 de Q_1 passa a D_0 . Quan passa el primer flanc negatiu, l'estat del registre és $I_0 0 0 0$.

El segon flanc negatiu provocarà que en el primer biestable es guardi el nou bit I_1 ; el bit I_0 passa de Q_3 a D_2 , el 0 de Q_2 passa a D_1 i el 0 de Q_1 passa a D_0 . Les sortides dels biestables són ara $I_1 I_0 0 0$.

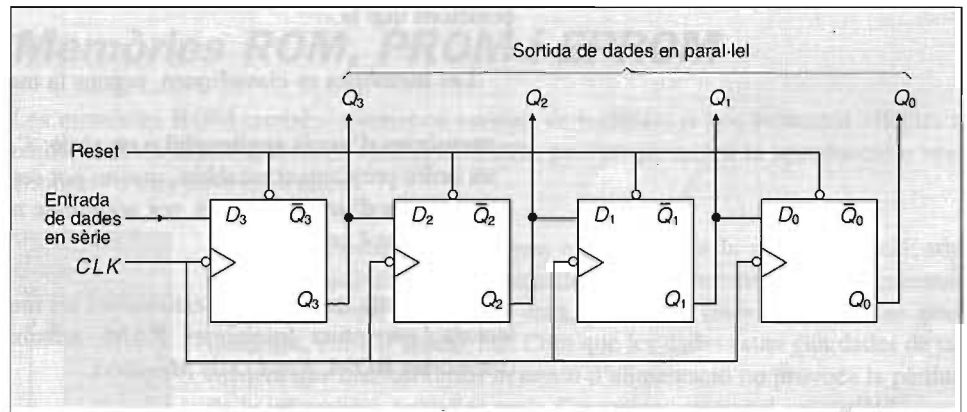
D'aquesta manera, amb quatre flancs negatius, el registre emmagatzema en sèrie una paraula de quatre bits $I_3 I_2 I_1 I_0$.

La descàrrega de la informació en sèrie, una vegada el registre està carregat amb els bits $I_3 I_2 I_1 I_0$, es produeix de la manera següent: el primer flanc negatiu que arribi desplaçarà la informació cap a la dreta, el bit I_0 que es troba a la sortida Q_0 es perdrà, i el registre quedarà $0 I_3 I_2 I_1$, i així successivament.

Hi ha circuits que poden desplaçar les dades del registre en qualsevol sentit (cap a la dreta o cap a l'esquerra), anomenats de **desplaçament reversible**; de fet, és més correcte dir que les potes o terminals dels senyals d'entrada poden actuar com a terminals per on els senyals de sortida queden disponibles, o viceversa.

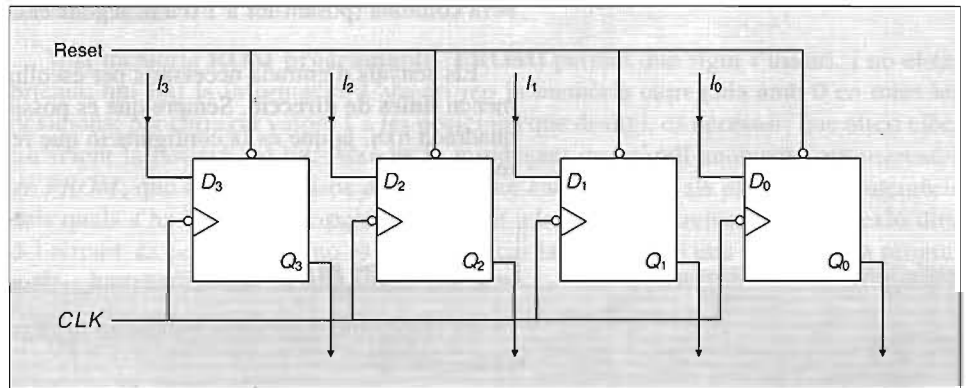
Entrada sèrie / sortida paral·lel

L'entrada d'informació en sèrie ja s'ha estudiat. Si es vol una sortida d'informació en paral·lel, només s'han d'extreure tots els bits alhora; n'hi ha prou que estiguin disponibles a la sortida al mateix temps, mitjançant un terminal de sortida en cada biestable:



Entrada paral·lel / sortida paral·lel

En aquest cas, el registre està format per biestables que només tenen en comú el senyal de rellotge, que els activa simultàniament, i de *reset*, per esborrar tot el registre de cop.



Activitats

21. Quina funció tenen els registres de desplaçament?
22. Quants tipus de registre hi ha? En què es diferencien?
23. Explica amb les teves paraules com funciona un registre de desplaçament d'entrada sèrie/sortida sèrie.
24. Què és un registre de desplaçament reversible?
25. Quants biestables ha de tenir un registre per poder emmagatzemar el nombre binari 110110? De quin tipus han de ser, aquests biestables?

3.5. Memòries

Fins ara hem estudiat que un biestable és el dispositiu elemental de memòria, capaç d'emmagatzemar 1 bit d'informació, i que els registres de desplaçament poden guardar paraules de més d'un bit. Si es necessita encara més capacitat d'emmagatzemament, es fan servir les memòries. Les **memòries** són dispositius capaços d'emmagatzemar una gran quantitat d'informació; estan formades per una xarxa o matriu de cèl·lules bàsiques de memòria, generalment biestables.

S'anomena **capacitat** d'una memòria el nombre de biestables que la formen, és a dir, el nombre de bits que és capaç d'emmagatzemar. Cada biestable té una **posició** dins de la memòria, que és el lloc que ocupa en la xarxa, definida per la intersecció entre una filera i una columna. A l'operació de recerca d'una cèl·lula, coneguda la seva posició, s'anomena **direccionament**. També podem dir que la capacitat d'una memòria és el nombre de posicions que té.

Les memòries es classifiquen, segons la manera d'accedir-hi, en:

- **memòries d'accés seqüencial o en sèrie**: s'accedeix a les posicions de la memòria en un ordre prèviament establert, que no pot ser modificat per l'usuari;
- **memòries d'accés aleatori**: pot accedir-se a qualsevol de les posicions de la memòria en qualsevol ordre.

En aquesta unitat només estudiarem les memòries d'accés aleatori, que poden ser de lectura / escriptura (memòries **RAM**, *Random Access Memory*) o només de lectura (memòries **ROM**, *Read Only Memory*).

Direccionament de les memòries

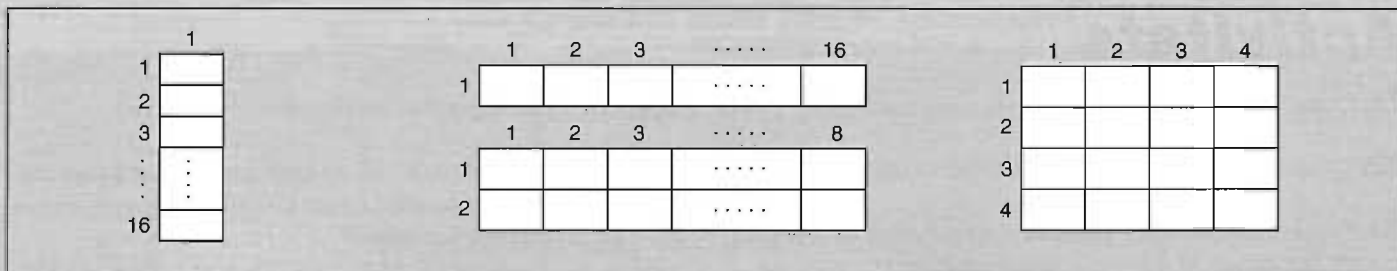
Generalment, les memòries tenen forma de xarxa o matriu, de n fileres i m columnes, amb una capacitat total de $n \times m$ biestables. Per escollir una posició, s'activen la seva filera i la seva columna (posant-les a 1 o a 0, segons el cas).

Els senyals d'entrada necessaris per escollir una posició, dins d'una memòria, s'anomenen **línies de direcció**. Sempre que és possible, la xarxa d'una memòria es construeix quadrada $n \times n$, ja que és la configuració que requereix el menor nombre de línies de direcció.

Exemple 8

Quina configuració és més convenient utilitzar per construir una memòria de 16 posicions? Per què?

A la figura es mostren algunes possibles distribucions:



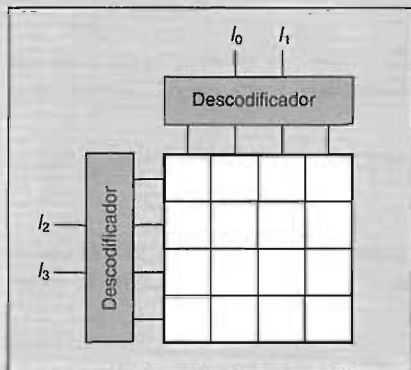
Una distribució lineal de 16 fileres per 1 columna requereix 16 línies de direcció (16 per indicar la filera i cap per indicar la columna, perquè només n'hi ha una).

Una distribució d'1 filera amb 16 columnes també requereix 16 línies de direcció.

Una distribució de 2 fileres per 8 columnes necessita 2 + 8 línies de direcció.

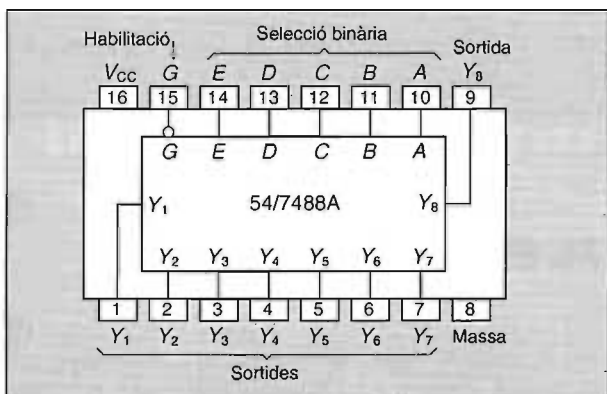
La distribució més convenient és una xarxa quadrada de 4 x 4, ja que requereix el mínim nombre de línies de direcció, només 8 (4 per escollir la filera i 4 per escollir la columna).

Aquesta memòria encara pot millorar-se, incorporant dos descodificadors, com es mostra en la figura; d'aquesta manera les 8 línies de direcció es redueixen a 4, ja que només calen 4 senyals d'entrada I_0 I_1 I_2 I_3 per escollir una posició dins de la memòria.



Memòries ROM, PROM i EPROM

Les memòries **ROM** també s'anomenen «només de lectura», ja que permeten «llegir» o recollir la informació que tenen emmagatzemada, però no permeten la introducció o «escriptura» d'una nova informació.



La informació que contenen es fixa durant la seva fabricació; són memòries molt útils per emmagatzemar els valors de constants matemàtiques (funcions, logaritmes, etc.), programes fixos (càlcul d'una arrel quadrada, entre d'altres), etc. Com que les dades estan guardades de tal manera que una fallida en la tensió d'alimentació no provoca la pèrdua de la informació, també es parla d'emmagatzemament «no volàtil».

Un exemple de memòria ROM és el circuit integrat 54/7488A, de 256 bits en una xarxa de 32 fileres i 8 columnes (sovint es parla de «32 paraules de 8 bits»). En aquest tipus de memòria cal informar el fabricant del contingut que s'hi vol guardar. Una vegada programada, per utilitzar-la s'ha de connectar com indica l'esquema següent:

Una memòria **ROM programable (PROM)** permet que sigui l'usuari, i no el fabricant, qui fixi la informació. L'usuari rep la memòria carregada amb 0 en totes les posicions; per carregar valors 1 a les posicions que desitgi, és necessari que alteri elèctricament la posició del bit. Això es fa mitjançant un aparell anomenat *programador de PROM*, que envia impulsos de corrent, un cada vegada, als elements de memòria dels quals s'ha indicat la posició. En realitat, els impulsos cremen una connexió dins del circuit, és per això que no es pot modificar la informació una vegada s'ha programat.

Un cop programada, la memòria PROM s'utilitza de la mateixa manera que la ROM.

Per a aplicacions en què, de tant en tant, cal canviar el contingut d'una memòria, es fan servir les memòries **PROM esborrables (EPROM)**, en les quals la informació pot esborrar-se i tornar-se a programar. Es fa servir una tècnica similar a la de programació de memòries PROM, però en aquest cas els impulsos de corrent s'utilitzen per emmagatzemar una càrrega fixa a la cèl·lula de memòria escollida.

Per esborrar la memòria, és a dir, per suprimir la càrrega de les cèl·lules de memòria, s'exposen a llum ultraviolada, que penetra a través d'una finestreta de quars que el circuit té en la cara superior. La llum dispersa la càrrega i les posicions tornen a estar a 0.

Memòries RAM i DRAM

Les memòries **RAM** permeten tant la lectura com l'escriptura d'informació en cada una de les seves posicions; mitjançant un senyal de control (*WE*, *Write enable*) s'escull l'operació.

Hi ha dos tipus de memòries RAM:

- **RAM estàtica:** la informació es manté emmagatzemada als biestables mentre el circuit estigui alimentat; una manca de tensió d'alimentació provocarà la pèrdua de la informació.
- **RAM dinàmica (DRAM):** no utilitza biestables, sinó un circuit a transistors MOS per emmagatzemar la càrrega o informació, ja que ocupen molt menys espai que els biestables; aquesta càrrega es dissipa amb el temps i ha de ser recarregada o «refrescada».

En tots dos tipus de memòries RAM, una pèrdua de tensió d'alimentació provocaria una pèrdua de la informació; és per això que reben el nom de memòries «volàtils».

Activitats

26. Quina és la funció d'una memòria? Quina és la seva estructura interna?

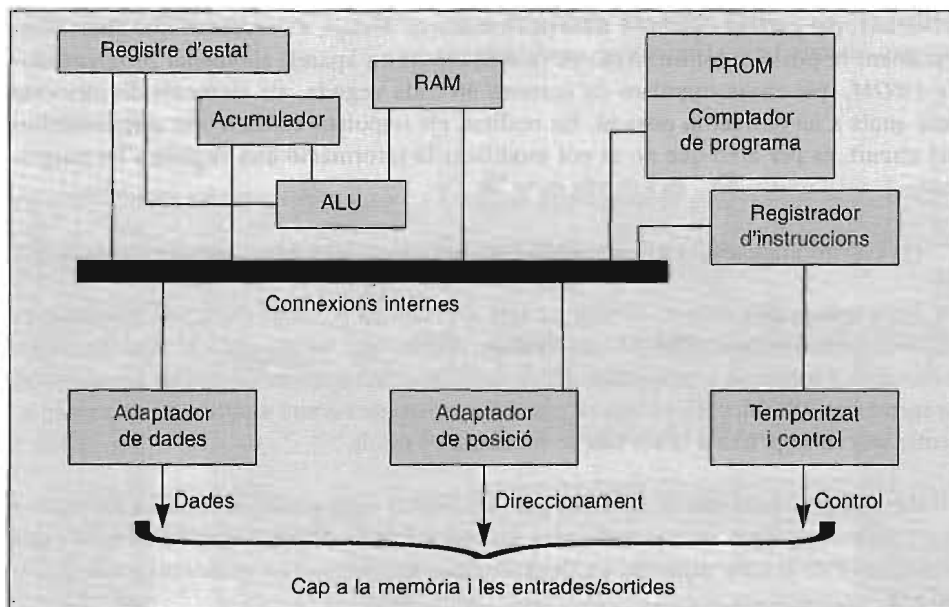
27. En quins grups es classifiquen les memòries, segons la manera d'accedir-hi?

28. Quina estructura escolliries per a una memòria de 1024 bits?

29. Quines memòries s'anomenen «volàtils» i quines, «no volàtils»? Per què?

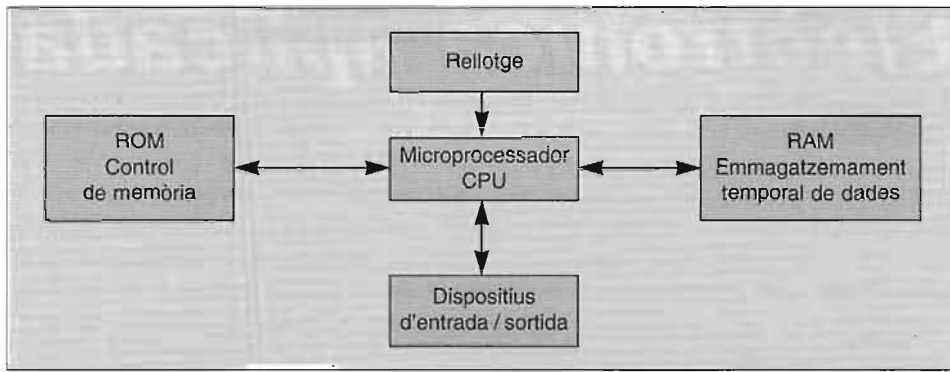
3.6. El microprocessador

Hi ha alguns sistemes electrònics que tenen la capacitat de poder ser programats per l'usuari, per efectuar un determinat conjunt d'operacions; aquests sistemes reben el nom general de «dispositius programables». D'aquests dispositius n'hi ha de molts tipus; un dels més utilitzats és el **microprocessador**.



Es tracta d'un sistema, dins d'un únic circuit integrat, format per circuits aritmètics, circuits lògics i circuits de control. Funciona com un sistema per processar dades i fer càlculs de caràcter general; habitualment rep el nom de **CPU** (*unitat central de procés*), i pot considerar-se com un ordinador bàsic en què l'usuari no pot modificar el programa de funcionament.

En la figura es mostra l'estructura interna típica d'un microprocessador.



A l'ALU s'efectuen les operacions aritmètiques i lògiques, i es prenen les decisions lògiques. Les unitats de control organitzen les tasques que ha de desenvolupar la CPU, i les petites memòries que hi incorpora emmagatzemen informació temporal (dades que s'han d'operar, resultats, etc.). Tots aquests elements estan interconnectats (mitjançant connexions internes o busos), per poder transportar la informació d'un lloc a l'altre.

Els microprocessadors més actuals tenen, també, una memòria reduïda i un circuit de relloige, que s'incorporen al circuit integrat, però a una escala d'integració molt més gran:

Activitats

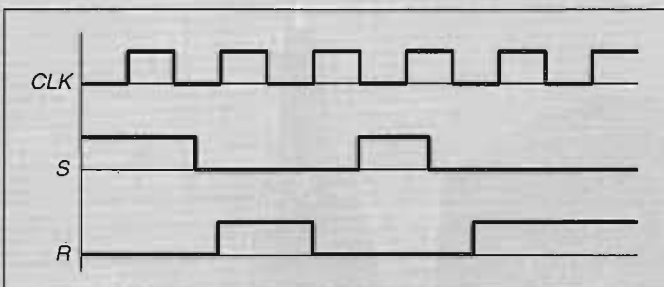
30. Explica què és un microprocessador i indica alguna de les seves aplicacions.

31. Cerca informació sobre les xarxes lògiques programables PAL. Què són i en què basen el seu funcionament?

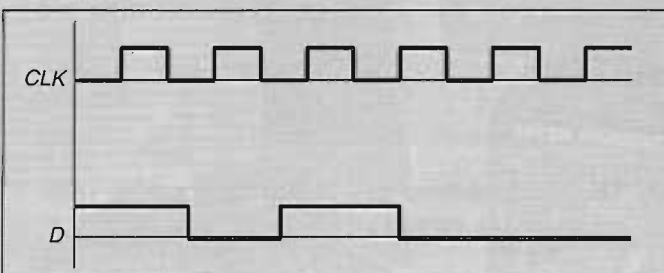
Activitats finals

1 Explica què és un circuit digital biestable i fes un quadre amb la classificació de tots els biestables explicats en aquesta unitat.

2 Dibuixa el senyal de sortida d'un biestable RS síncron que té els senyals d'entrada que mostra el cronograma:



3 A un biestable D activat per flanc negatiu se li apliquen els senyals del cronograma. Dibuixa el senyal de sortida que se n'obté.



4 Què és un senyal de relloige? Quins avantatges tenen els circuits amb aquest senyal?

5 Explica el funcionament d'un biestable JK *master-slave*, i dibuixa'n la taula de la veritat.

6 Com connectaries un comptador amb preselecció 54/74163 per realitzar un comptador de mòdul 8?

7 Determina el nombre de biestables necessari per construir un registre de desplaçament per emmagatzemar.

- a) un nombre binari de 6 bits.
- b) nombres decimals fins al 32.

8 Quines diferències bàsiques hi ha entre una memòria RAM i una ROM?

9 Quants tipus de memòries ROM hi ha? Quina diferència s'hi estableix?